

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-050802

(43)Date of publication of application : 25.03.1983

.....
(51)Int.Cl. H03B 1/00
H03B 21/01

.....
(21)Application number : 56-147029 (71)Applicant : ANRITSU CORP
NIPPON TELEGR & TELEPH CORP <NTT>

(22)Date of filing : 19.09.1981 (72)Inventor : ONO KOHEI
AOYAMA TOMONORI

.....
(54) MULTIFREQUENCY DIGITAL SINE WAVE GENERATOR

(57)Abstract:

PURPOSE: To obtain a multifrequency digital sine wave without scaling up circuit constitution by generating digital sine waves differing in frequency on time division basis within a prescribed period, and adding them.

CONSTITUTION: In a digital sine wave generator 20, frequency set values Fa and fb are added by an adder 22 and integrated in registers 23 and 24 through switches 21A and 21B within two time intervals t1 or a period T, and the contents of the registers are sampled by a clock fc and read in an ROM25 to generate digital sine waves Sa and Sb on time-division basis. This signal sequence (a) is delayed by t1 at a delay circuit 29 through an attenuator 26 to obtain a signal sequence (b), which is added to the signal sequence (a) by an adder 30 to obtain a signal sequence (c). A switch 31 outputs only the

signal sequence (d) in the latter half time t_1 of the period T . Thus, the multifrequency digital sine wave consisting of sine waves S_a and S_b is obtained.

.....
LEGAL STATUS [Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑪ 日本国特許庁 (JP)

① 特許出願公開

⑫ 公開特許公報 (A)

昭58—50802

⑤ Int. Cl.³
H 03 B 1/00
21/01

識別記号

庁内整理番号
6964—5 J
7928—5 J

⑬ 公開 昭和58年(1983) 3月25日

発明の数 1
審査請求 有

(全 4 頁)

⑭ 多周波デジタル正弦波発生装置

横須賀市武1丁目2356番地日本
電信電話公社横須賀電気通信研
究所内

① 特 願 昭56—147029

② 出 願 昭56(1981) 9月19日

⑦ 発 明 者 小野浩平
東京都港区南麻布5丁目10番27
号安立電気株式会社内

⑧ 発 明 者 青山友紀

① 出 願 人 安立電気株式会社
東京都港区南麻布5丁目10番27
号

⑦ 出 願 人 日本電信電話公社
⑧ 代 理 人 弁理士 小林将高 外1名

明 細 書

1. 発明の名称

多周波デジタル正弦波発生装置

2. 特許請求の範囲

周波数の異なる n 個のデジタル正弦波を所定の周期内に順次発生するとともに前記周期ごとに繰返し発生するデジタル正弦波発生器と；前記 n 個のデジタル正弦波を受領してこれら n 個の正弦波のレベルをそれぞれ前記周期ごとに繰返し調整するためのレベル調整器と；このレベル調整器でレベル調整された前記 n 個のデジタル正弦波を順次 $n-1$ 回遅延してそれぞれ遅延された n 個のデジタル正弦波と遅延される前の n 個のデジタル正弦波とを加算し出力するための手段と；この手段によつて加算された n 個のデジタル正弦波のうち同一周期内の n 個のデジタル正弦波または互いに別の周期内の n 個のデジタル正弦波のいずれかを検出して出力するための検出手段とを備えたことを特徴とする多周波デジタル正弦波発生装置。

3. 発明の詳細な説明

この発明は、周波数の異なるデジタル正弦波を複数個同時に発生する多周波デジタル正弦波発生装置に関するものである。

第1図は従来の多周波デジタル正弦波発生装置の一例を示す構成図である。

この図において、デジタル正弦波発生器1は、加算器2、レジスタ3およびROM(リード・オンリ・メモリ)4で構成されており、入力端子5に加えられた周波数設定値 F を加算器2およびレジスタ3によつてクロック周波数 f で累積加算し、デジタル正弦波が周波数 f になるようにROM4のアドレスを各クロックごとに指定して周波数 f のデジタル正弦波 S を脱出し発生する。このデジタル正弦波 S は乗算器等で構成されるデジタル減衰器8およびマイクロプロセッサのI/Oポートで構成された減衰量設定部7によつてレベル調整された後、加算器8の一端に加えられる。また、デジタル正弦波発生器1は、加算器10、レジスタ11およびROM12

で構成されており、入力端子13に加えられた周波数設定値F、を加算器10およびレジスタ11によつてクロック周波数f、で累乗加算し、デジタル正弦波が周波数f、になるようにROM12のアドレスを各クロックごとに指定して周波数f、のデジタル正弦波S₁、を脱出し発生する。このデジタル正弦波S₁、はデジタル可変減衰器14および減衰量設定部15によつてレベル調整された後、加算器8の他端に加えられる。

したがつて、加算器8からは周波数f、のデジタル正弦波S₁、と周波数f、のデジタル正弦波S₂、が同時に出力され、出力端子18から周波数の異なつた2周波のデジタル正弦波S₁+S₂、が発生される。

しかしながら、上記従来の構成によると周波数の異なつたデジタル正弦波をそれぞれ同一の回路によつて発生して、それらを加算することにより多周波のデジタル正弦波を発生していたので、同一の回路、すなわち同一のデジタル正弦波発生器およびデジタル減衰器が周波数の数だけ必

要であつた。

この発明は上記の問題点にかんがみなされたもので、周波数の異なつたデジタル正弦波を所定の周期内にn個時分制で前記所定の周期ごとに繰返し発生したのち、順次n-1回遅延してそれぞれ遅延されたデジタル正弦波と遅延する前のデジタル正弦波とを加算し、その加算されたn個の正弦波のうち加算された同一周期内または加算された互いに別の周期内のn個のデジタル正弦波のいずれかを同時に発生する多周波デジタル正弦波発生装置を提供するものである。以下図面についてこの発明を説明する。

第2図はこの発明の一実施例を示す構成図であり、第3図は第2図の実施例の動作を説明するためのタイムチャートである。

第2図において、20はデジタル正弦波発生器で、切替器21A、21B、加算器22、レジスタ23、24、およびROM25で構成されており、周期T(t_1+t_2)内にそれぞれ時間 t_1 、 t_2 ($t_1=t_2=\frac{T}{2}$)ずつ順次異なつた周波

数f₁、f₂のデジタル正弦波をn個発生して、これら2個のデジタル正弦波を前記周期Tごとに繰返し発生する。20はデジタル減衰器で、デジタル正弦波発生器20から出力される周波数f₁、f₂のデジタル正弦波S₁、S₂を受領して、それぞれのデジタル正弦波のレベルを前記時間 t_1 、 t_2 ずつ前記周期Tごとに繰返し調整する。27は減衰量設定部で、デジタル減衰器26が前記時間 t_1 、 t_2 ずつ前記周期Tごとに繰返し発生するデジタル正弦波のレベルを調整するために、それぞれ所定の減衰量を設定するもので、この減衰量は切替器28により前記時間 t_1 、 t_2 ずつ前記周期Tごとに切替えられてデジタル減衰器26に加えられる。28は遅延器で、デジタル減衰器26でレベル調整された周波数f₁、f₂のデジタル正弦波S₁、S₂を前記時間 t_1 だけ遅延する。30は加算器で、デジタル減衰器26の出力と遅延器28の出力とを前記時間 t_1 、 t_2 ごとに加算し出力する。31は切替器で、加算器30で加算された周波数

f₁、f₂のデジタル正弦波S₁、S₂のうち、前記周期T内の最終時間、すなわち、時間 t_2 に加算された周波数f₁、f₂のデジタル正弦波のみを切替えて検出し、加算された同一周期内の2個のデジタル正弦波S₁+S₂を同時に出力する。32は切替器駆動用信号発生器で、切替器21A、21B、28および31を駆動するために、半値幅50%($t_1=t_2$)の周期Tを有するパルス信号を繰返し発生する。33、34は入力端子、35は出力端子である。

次に動作について第3図のタイムチャートを参照しながら説明する。

周期T内の時間 t_1 に切替器21Aを入力端子33に、また、切替器21Bをレジスタ23に切替え接続して入力端子33に加えられた周波数設定値F、を、加算器22およびレジスタ23によつてクロック周波数f、で累乗加算し、デジタル正弦波が周波数f、になるようにROM25のアドレスを各クロックごとに指定して周波数f、のデジタル正弦波S₁、を脱出し発生する。その

あと前記周期 T 内の時間 t_1 に切替器 21A を入力端子 34 に切替え接続し、また、切替器 21B をレジスタ 24 に切替え接続して、入力端子 34 に加えられた周波数設定値 F_0 を加算器 22 およびレジスタ 24 によつて前記クロック周波数 f_0 とは 180° 位相差を有する逆相のクロック周波数 f_1 で乗算加算し、デジタル正弦波が周波数 f_1 になるように ROM 25 のアドレスを各クロックごとに指定して周波数 f_1 のデジタル正弦波 S_1 を読出し発生する。

このようにしてデジタル正弦波 S_1, S_2 が最初の周期 T に発生した場合を S_{11}, S_{12} ; 2 番目の周期 T に発生した場合を S_{21}, S_{22} ; ... ; m 番目の周期 T に発生した場合を S_{m1}, S_{m2} とすると、第 3 図 (a) に示すように、デジタル正弦波発生器 20 からは周期 T 内に時間 t_1, t_2 ずつ順次デジタル正弦波 S_{11}, S_{12} ; S_{21}, S_{22} ; ... のように繰返し発生される (なお、以後特に指定する必要がないときはデジタル正弦波は S_{11}, S_{12} で表わす)。デジタル正弦波発生器 20 か

ら発生されたデジタル正弦波 S_1, S_2 はデジタル減衰器 26、減衰量設定部 27、および切替器 28 によつてそれぞれの正弦波レベルを時間 t_1, t_2 ずつ周期 T ごとに繰返し調整された後、遅延器 29 に加えられて第 3 図 (b) に示すように時間 t_1 だけ遅延される。この遅延されたデジタル正弦波 S_1, S_2 と、遅延される前のデジタル正弦波 S_1, S_2 とを加算器 30 に加えて、時間 t_1, t_2 ごとに加算し、第 3 図 (c) に示すようなデジタル正弦波を出力する。

このデジタル正弦波のうち、時間 t_1 に加算されたデジタル正弦波のみを切替器 31 によつて時間 t_2 だけ周期 T ごとに繰返し選択することにより、第 3 図 (d) に示すように加算された同一周期内の 2 個のデジタル正弦波は、出力端子 35 から同時に、かつ周期 T ごとに断続的に出力され、2 周波のデジタル正弦波 $S_1 + S_2$ として発生される。

なお、上記実施例では、加算された同一周期内の 2 個のデジタル正弦波を発生しているが、加

算された互いに別の周期内のデジタル正弦波を発生してもよい。また、同時に発生するデジタル正弦波は 2 周波に限定されるものでなく、遅延器および加算器を追加することにより、それ以上の複数周波のデジタル正弦波を発生することができるのは云々までもない。さらに、各周波のデジタル正弦波の発生時間 t_i (n は 1 または 2) は同一である必要はなく、それぞれ異なつてもよい。また、遅延時間 t_i は各周波の正弦波の発生時間 t_i と一致させる必要はなく、発生時間 t_i より短くてもよい。そして、上記実施例では切替器 21A、21B、28、31 はリレーなどで機械的に行つてゐるが、これらは論理積および論理和によるゲート回路でもよく、また、切替器 31、切替器駆動用信号発生器 32 は第 2 図のように送信側に設けず受信側に設けることもできる。

以上詳細に説明したように、この発明によれば異なつた周波数のデジタル正弦波を所定周期内に n 個、それぞれ所定時間ずつ時分割で発生する

とともに、前記所定周期ごとに繰返し発生した後、順次 $n-1$ 回遅延してそれぞれ遅延されたデジタル正弦波と、遅延される前のデジタル正弦波とを加算し、その加算された n 個のデジタル正弦波のうち、加算された同一周期内または互いに別の周期内の n 個のデジタル正弦波のいずれかを発生するようにしたので、ROM およびデジタル減衰器をデジタル正弦波の数に関係なく、それぞれ 1 個ですませることができ、回路構成の規模を大幅に縮小することができる。

4. 図面の簡単な説明

第 1 図は従来の多周波デジタル正弦波発生装置の一例を示す構成図、第 2 図はこの発明の一実施例を示す構成図、第 3 図は第 2 図の実施例の動作説明のためのタイムチャートである。

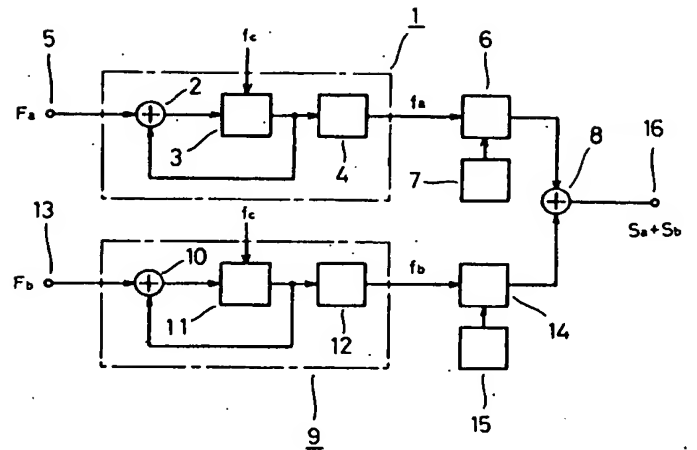
図中、20 はデジタル正弦波発生器、21A、21B、28、31 は切替器、22、30 は加算器、23、24 はレジスタ、25 は ROM、26 はデジタル減衰器、27 は減衰量設定部、29 は遅延器、32 は切替器駆動用信号発生器、33

34は入力端子、35は出力端子である。

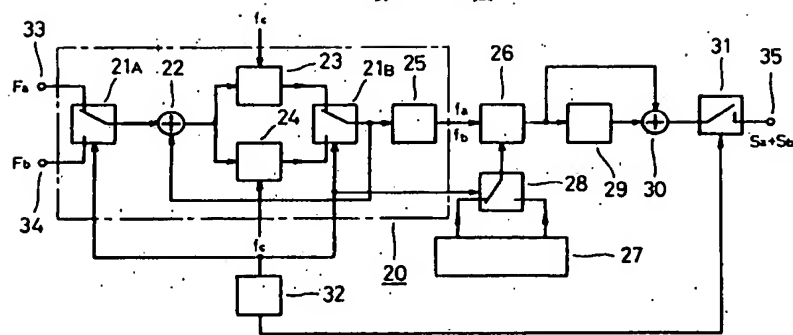
代理人 小林 将 高 (ほか1名)



第 1 図



第 2 図



第 3 図

